

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開  
 ⑰ 公開特許公報 (A) 昭55-154767

⑯ Int. Cl.<sup>3</sup> 識別記号 庁内整理番号 ⑮ 公開 昭和55年(1980)12月2日  
 H 01 L 29/78 6603-5F  
 21/324 6684-5F 発明の数 1  
 発明請求 未請求

(全 5 頁)

⑯ 半導体装置の製造方法

⑰ 特 願 昭54-62578  
 ⑰ 出 願 昭54(1979)5月23日  
 ⑰ 発明者 柴田健二  
 川崎市幸区小向東芝町1東京芝  
 浦電気株式会社総合研究所内

⑰ 発明者 恩賀伸二  
 川崎市幸区小向東芝町1東京芝  
 浦電気株式会社総合研究所内  
 ⑰ 出願人 東京芝浦電気株式会社  
 川崎市幸区堀川町72番地  
 ⑰ 代理人 弁理士 則近憲佑 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

- 1) 単結晶絶縁体基板上に半導体層を設け、該半導体層中にディプレッションタイプ絶縁ゲート型電界効果トランジスタを設けた半導体装置を製造するに際して、前記半導体層を設けたのち単結晶絶縁体基板裏面からレーザー光を前記トランジスタのチャネル形成領域に向けて照射することを特徴とする半導体装置の製造方法。
- 2) 単結晶絶縁体基板はサファイアであることを特徴とする特許請求の範囲第一項記載の半導体装置の製造方法。
- 3) 単結晶絶縁体基板はスピネルであることを特徴とする特許請求の範囲第一項記載の半導体装置の製造方法。
- 4) 半導体層はシリコン層であることを特徴とする特許請求の範囲第一項記載の半導体装置の製造方法。

3. 発明の詳細な説明

本発明はサファイア等の単結晶絶縁体基板上にシリコン等の半導体層を設け、該半導体層中にディプレッションタイプ絶縁ゲート型電界効果トランジスタを設ける所謂SOS半導体装置の製造方法に関する。

従来SOS型半導体装置は単結晶絶縁体基板を用いているため、単結晶シリコン中に設けられた半導体装置に比べて素子間分離がしやすく、そのため高速、高密度な半導体装置であると考えられてきた。

しかしながらサファイア基板上またはスピネル基板上にシリコン層を成長させる場合に、これら基板の格子定数とシリコン格子定数とが異なること、及び成長温度が高温でありそれぞれの熱膨張係数が異なるため、シリコン層中に内部応力が導入され、そのため多くの結晶欠陥が導入される。たとえば通常の成長法によれば転位密度は10<sup>9</sup>/cmにも達する。

従って特にディプレッションタイプの絶縁ゲー

(1)

(2)

ト型電界効果トランジスタ（以下MOSトランジスタと称す）の場合には、ディプレッション動作させる為にチャネル部分にイオン注入等により人为的に導入した不純物の大半は上記転位に捕獲されてしまう。そのためこのような構造された不純物からはもはや伝導に寄与する荷電組体である電子または正孔を持つことができなくなることにより荷電組体が減少する。これはゼロゲートバイアス下でソース・ドレイン間に電流を流すデプレッションタイプでは致命的である。またこれら結晶欠陥が捕獲された不純物により帯電するため、荷電組体が散乱されて易動度が低下する。さらに、前述した高密度の転位はシリコン層内で深いアクセプターレベルを形成する。このレベルはしきい値電圧の不安定性を増し、また易動度を低下させる。よって高速動作ができずひいては高密度化もできない。

そこで本発明の目的はかかる半導体の結晶欠陥による電気的性質の劣化を改良したディプレッションタイプMOSトランジスタを有するSOS型半導

(3)

特開昭55-154767(2)  
体装置の製造方法を提供を可能にするものである。

本発明はサファイア基板またはスピネル基板等の単結晶絶縁体基板上に設けられた半導体層中にディプレッションタイプNOSトランジスタを設けた半導体装置を製造するに際して、前記半導体層を設けたのちに該基板側（裏面）からレーザー光線を照射することにより①半導体層中の結晶欠陥に捕獲された不純物を半導体層中にたたき出すことにより、荷電組体を増加させ、②半導体層中の荷電組体の易動度を向上させ、③結晶欠陥を鏡面することにより、しきい値電圧の不安定性を減少させ、その精密制御を可能とし、その結果として所期のディプレッションタイプMOSトランジスタを備えたSOS型LSIを提供するものである。

上記①～③の効果については、本発明者達は、繊密な実験に基づき、次のように考えている。すなわち我々の測定によればレーザー照射後の自由電子濃度は照射前に比べて2～3倍に増大することを知った。これは直接的には、自由電子の濃度が増加することによって電気伝導度を上げ、間接

(4)

的には転位のまわりの空間電荷分布領域の大きさを減少できることにより、今まで自由電子が散乱を受けていた効果を下げ、その易動度を向上させることにより、電気伝導度を改善することができるものである。同時にレーザー照射によって転位の密度が減少するため上記効果はさらに増し、また転位が持っていたアクセプターレベルもたらすしきい値電圧の不安定性を減らしその精密制御を可能にすることができる。

このような効果は半導体層／単結晶絶縁体基板界面で一層顕著である。その理由は1)レーザーを基板側から照射するため、1)該界面では特に多くの転位が存在しているためなどである。

こうして①～③の効果によってSOS型半導体装置は従来のものに比べて飛躍的に性能を向上させることができた。

以下に本発明を実施例につき図面を参照して詳述する。

#### 実施例(1)

第1図は本発明の一つの実施例を示す装置断面

(5)

図である。すなわちサファイア基板上に設けられたディプレッション型n-MOSトランジスタである。

ここではまずたとえば面方位(1012)サファイア基板101上にシリコン層として単結晶シリコン層たとえば厚さ約7000ÅのN型(001)シリコン層を成長させる。その後該シリコン層を通常のエッチング法により電子形成部分を残し他を除去することによって電子間分離を行なう。その後、残されたシリコン層の全面に網目イオンをたとえば加速電圧170KVドーズ量 $7 \times 10^{11} \text{ cm}^{-2}$ 打込む。その後たとえば800Å程の絶縁膜102を介してゲート電極103を形成し、これをマスクにして自己整合的にn型不純物を選択拡散することによりソース領域104、ドレイン領域105を形成し、その間のゲート電極の下をチャネル領域106とする。その後、全面に絶縁膜107を付着したのち、ソース、ドレイン、ゲート取り出し用孔108～110を開けたとえばアルミニウムによって電極111～113を形成する。これらの工程が終了したのち、サファイア基板101側からチャネル領域に向けて、レーザ

(6)

一光線を照射した。本発明に用いたレーザー光線は、光源がNd-YAGであり起音波セルによって連続Qスイッチ動作する。動作条件は、レーザー発振繰り返し周波数4KHz、パルス巾約200nsecであり、コンサンサーレンズで絞り込んだ。レーザーパワーは1.0Wattであり、サファイア面上でのエネルギー密度は45~53mJ/cm<sup>2</sup>に相当していた。このようにして形成したMOSトランジスタのキャリア易動度はレーザー光線照射しないものに比べて5~8倍増であった。

第2図は、実験結果を示す等性図で、上記第1図に示すMOSトランジスタのうちレーザー照射したもの、及びしないものの二種類を用意しゲート電圧に対する電子のHall易動度(μ<sub>H</sub>)を測定したものである。それぞれ異なる3つの温度(4.2K、77Kおよび室温)で易動度を測定し、比較した。実線は本発明によるMOSトランジスタの易動度であり、破綻は、これと同一の条件の下に形成し、レーザー照射をしなかったものである。この第2図より明確な如く易動度向上の効果が得られる。

(7)

して、常温では5倍、77Kで8倍、4.2Kで9倍の改善をみた。

本実施例ではサファイア基板として(0001)面を用いたが、(1124)面を用い(111)Si単結晶を成長させたSOS MOS素子においても全く同様の効果が見られた。また上記実施例においては、本発明の効果を易動度についてのみ説明したが不純物の活性化率の向上に伴なうキャリアの増大においては、Hall測定の結果レーザー照射しなかったもの2~3倍にキャリア増加が認められた。

さらに上記実施例(1)及び(2)のようなディスプレッシャンタイプのSOS MOS素子においてレーザー照射したものとしないもののドレイン電流特性のパラッキを比較した。まず、同一ウェハー上に多数のSOS MOS素子のチップを形成し、これをストライプして個々のSOS MOS素子に分けたのち、そのうちの半分についてレーザー光線を照射して、他の半分の素子と比較した。第4図はその結果を示すもので、実線は本発明になるレーザー光線を照射した素子の群、破綻は、レーザー光線を照射

(9)

## 実施例(2)

第3図は第2の実施例を示す断面図である。すなわち(0001)面サファイア基板201上にたとえば70.00Åの厚さに(111)Si単結晶膜を成長させる。このSi単結晶膜はドーピングによって、N型不純物たとえば銅(II)を $1 \times 10^{16}/cm^2$ 量含んでいる。該膜はCoplan法により酸化膜202を形成することによって素子間分離をし、残されたシリコン層中にN型不純物を選択的に拡散することによりソース領域203、ドレイン領域204を形成する。両領域の間は、チャネル領域205となり上部にたとえば800Åのゲート酸化膜206を介してたとえば多晶シリコン207によりゲート電極とする。その後全面に配線膜208を付着したのちソース、ドレイン、ゲート取り出し用孔209~211をあけ、たとえばアルミによって電極212~214を形成する。これらの工程が終了したのち、サファイア基板201側からレーザー光線を照射した。本実施例の効果をみるために、素子形成後易動度を測定した所、従来のレーザー光線を照射しない素子に比較

(8)

しなかった素子の群である。この図から本発明になるレーザー光線を照射した素子の方が、照射しなかった素子に比べてドレイン電流特性のパラッキが20にして約1/2~1/3と大幅に改善されたことがよくわかる。

## 実施例(3)

上記実施例においては単結晶絶縁基板としてはサファイアを取り上げたが、これはサファイアの代わりにスピネルでもかまわない。またシリコン層中に形成するMOSトランジスタはディプレッシャンタイプのPチャネルMOS素子であったが、PチャネルのディプレッシャンタイプMOS素子でもかまわない。第5図に示した実施例はこれらの点に基づいてなされたもので、スピネル基板上に成長させたSi膜にPチャネルのインバーターを作成したものである。ロードトランジスタはdepletion型で3箇管領域で作動するように設計されている。ロードトランジスタのしきい値は+6.9V、また電源V<sub>DD</sub>には-17Vを用いた。このときのタ比は5であった。この素子に本発明にな

(10)

るレーザー光線をスピネル側から照射した。このときの動作の様子を第5図に示す。あわせてレーザー光線照射前の特性をも示した(実線…照射後、破線…照射前)。すなわち横軸にVin電圧、縦軸にVout電圧をとった。この二つの電子の特性を比較すると、レーザー照射したものの方がVinの変化に対してVoutの変化が急激であることがわかる。このことは① Vinの変化に対してVoutの応答が敏感である。② Voutの変化が急激であるのでシグナル伝送に消費する電力が少なくてすむ、などの利点があり、レーザー光線を照射したことによる効果が見られる。

なお、本発明におけるレーザー照射はシリコン層中への不純物導入法が拡散による場合、気相成長性のドーピングによる場合などいずれの場合にも有効であるが、これら不純物がイオン注入された場合には特にその効果が著しい。その理由は、イオン注入では、不純物と同時に結晶欠陥も導入されるためであると思われる。たとえばチャネル側壁にイオン注入によって不純物を打ち込みしき

特開昭55-154767(4)  
い偏電圧をコントロールする場合には本発明の効果がより期待できる。

上記実施例では、このように最も効果の期待できる場合のいくつかについて述べたが、その他の場合でも本発明の主旨を逸脱しない限りいろいろな応用例が期待されることはずつまでもない。レーザー光照射はパルス照射の他試料との相対走査速度でも効果が期待できる。また半導体基板はサファイア、スピネル以外のものでもかまわないし、これら基板上の半導体層は(100)または(111)面以外のシリコンでもかまわないし、シリコン以外だとえばケルマニウム等であってもかまわない。またこれらの層は半導体に概念される必要もない。また導入される不純物としては鉄(Fe)、或素(Ar)、またはボロン(B)が最も考えられるが、これら以外のものでもかまわない。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例を説明する為の断面図、第2図は第1の実施例の効果を説明する為の特性図、第3図は第3の実施例を説明す

01

02

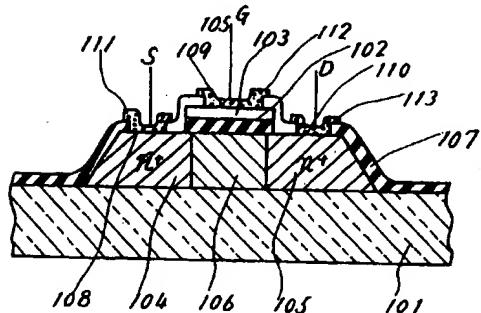
る為の断面図、第4図は本発明効果を説明する為の特性図、第5図(a)は本発明の他の実施例を説明する為の回路図、第5図(b)は第5図(a)に示した実施例の効果を説明する為の特性図である。第1図に於いて、

- 101…サファイア基板、102…ソース側壁、  
103…ドレイン側壁、104…チャネル側壁、  
105…ゲート絶縁膜、106…ゲート電極  
107…層間絶縁膜、108,109,110…電極取り出  
し用孔、111,112,113…電極。

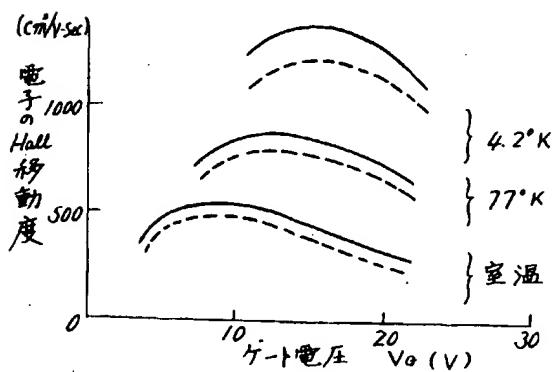
代理人 井理士 則 近 慶佑  
(ほか1名)

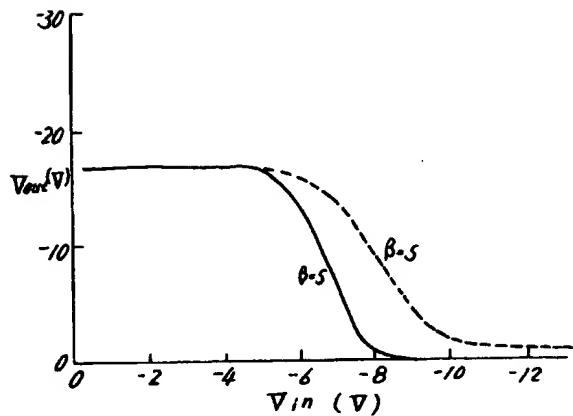
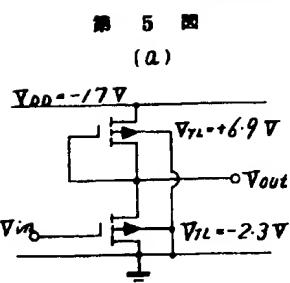
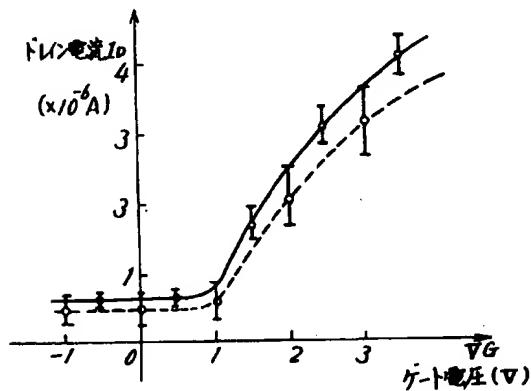
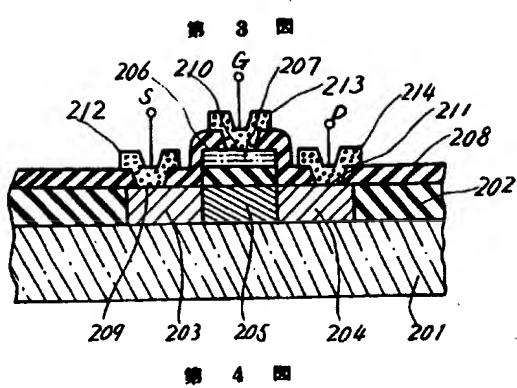
03

第1図



第2図





DOCUMENT-IDENTIFIER: JP 55154767 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

FPAR:

PURPOSE: To eliminate unstable threshold voltage of a semiconductor device by forming a semiconductor layer on a monocrystalline insulating substrate, irradiating a laser light from the back surface of the substrate to the semiconductor layer after forming an depression type IGFET when forming the FET and annealing the crystal defects.

FPAR:

CONSTITUTION: An n-type monocrystalline Si layer is epitaxially grown on a monocrystalline insulating substrate 101 made of sapphire or spinel or the like, and a gate electrode 103 is mounted through a gate insulating film 102 on the center of the surface thereof. With the electrode 103 as a mask an n-type impurity ion is implanted to the Si layer to form an n<sub><SP>+</SP></sub>-type source region 104 and drain region 105 in the Si layer at both sides of the electrode 103, and the Si layer therebetween is used as a channel region 106. Thereafter, an insulating film 107 is coated on the entire surface, openings 108~110 are perforated thereat, aluminum electrodes 111~113 are mounted therethrough to form an FET. Thereafter, a laser light is irradiated from the back surface of the substrate 101 to the region 106 to anneal the crystal defects in the region 106.